

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-316420

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl.⁶

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

F
D

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21)出願番号 特願平7-123384

(22)出願日 平成7年(1995)5月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 近藤 将夫

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 尾内 享裕

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 鷺尾 勝由

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

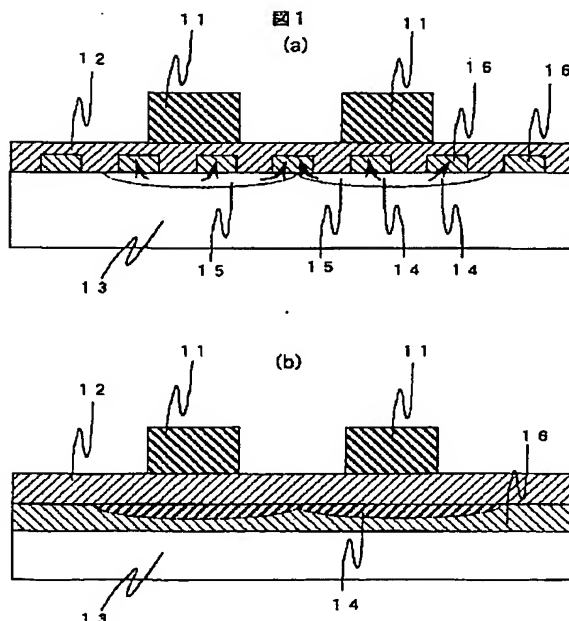
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【構成】 高抵抗Si基板(1)を用い、配線(11)の直流バイアスにより近傍の基板表面に反転層が生じて基板の実質的な抵抗が低下することを防ぐため、配線近傍の絶縁膜(12)/基板界面に電荷捕獲準位を有するSi層(16)を挿入する。

【効果】 配線の直流バイアスにより絶縁膜/基板界面に誘起された電荷はほとんど全て電荷捕獲準位に捕獲されてしまい反転層すなわち可動電荷は生じない。その結果、半絶縁性GaAs基板の場合とほぼ同等の伝送線路の損失や平面インダクタのQ値を得ることができる。



【特許請求の範囲】

【請求項1】シリコン基板と、該シリコン基板上に形成された表面絶縁膜と、該表面絶縁膜上に形成された配線とを有し、少なくとも該配線の下部あるいは周辺部の該シリコン基板と該表面絶縁膜の界面に電荷捕獲準位を有する層が形成されてなることを特徴とする半導体装置。

【請求項2】上記電荷捕獲準位を有する層は、 $1\text{E}16\text{cm}^{-3}$ 以上の密度の電荷捕獲準位を有する層であることを特徴とする請求項1記載の半導体装置。

【請求項3】上記電荷捕獲準位を有する層は、多結晶シリコンを含んで構成される膜であることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項4】上記電荷捕獲準位を有する層は、非晶質シリコンを含んで構成される膜であることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項5】上記電荷捕獲準位を有する層は、上記シリコン基板にイオンを打ち込むことにより形成された不純物を含有する層であることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項6】シリコン基板と、該シリコン基板上に形成された表面絶縁膜と、該表面絶縁膜上に形成された配線とを有し、該配線の下部及び周辺部に少なくとも上記表面絶縁膜と連続した溝が形成されてなることを特徴とする半導体装置。

【請求項7】上記表面絶縁膜と連続した溝には絶縁体が埋め込まれてなることを特徴とする請求項6記載の半導体装置。

【請求項8】上記表面絶縁膜と連続した溝には誘電体が埋め込まれてなることを特徴とする請求項6記載の半導体装置。

【請求項9】上記溝は、上記配線の下部及び周辺部の上記半導体基板を小領域に分断するよう複数配置されてなることを特徴とする請求項6ないし請求項8のいずれかに記載の半導体装置。

【請求項10】上記電荷捕獲準位を有する層のうち少なくとも上記配線の下部及び周辺部に絶縁体を埋め込んだ溝が形成されてなることを特徴とする請求項1ないし請求項5のいずれかに記載の半導体装置。

【請求項11】上記電荷捕獲準位を有する層のうち少なくとも上記配線の下部及び周辺部に誘電体を埋め込んだ溝が形成されてなることを特徴とする請求項1ないし請求項5のいずれかに記載の半導体装置。

【請求項12】上記シリコン基板はSOI型であることを特徴とする請求項1ないし請求項11のいずれかに記載の半導体装置。

【請求項13】上記シリコン基板がSOI型であり、少なくとも配線の下部および周辺部分のSOI層がエッチング除去されて $1\text{E}16\text{cm}^{-3}$ 以上の密度の電荷捕獲準位を有するSi層に置き換えられてなることを特徴とする請求項1ないし請求項5のいずれかに記載の半導体

装置。

【請求項14】上記シリコン基板はSOI型であり、少なくとも上記配線の下部及び周辺部のSOI層が絶縁体又は誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする請求項6ないし請求項9のいずれかに記載の半導体装置。

【請求項15】上記溝により分断された領域に多結晶シリコンが形成されてなることを特徴とする請求項13記載の半導体装置。

10 【請求項16】上記溝により分断された領域に絶縁体が形成されてなることを特徴とする請求項13記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は移動体通信端末および光伝送システム等に用いられるシリコン(Si)のマイクロ波モノリシックICに関する。

【0002】

【従来の技術】従来、高周波を取り扱うマイクロ波モノリシックICは、基板が低抵抗であることによって生じる高周波電力の損失を低減するため、図22に示すように比抵抗が約 $10\text{K}\Omega\cdot\text{cm}$ の高抵抗のFZ(フローティング・ゾーン)法で作成したSi基板を用いている。図22では約 $10\text{K}\Omega\cdot\text{cm}$ の高抵抗シリコン基板221の上に酸素のイオン打ち込みなどを用いてシリコン酸化膜222が形成され、さらにその上に単結晶シリコン層213が形成される構造を有している。

【0003】なお、上述したシリコンモノリシックICについては、アイ・イー・ディー・エム'91テクニカルダイジェストの第687頁〜第690頁(IEDM'91 Tech. Dig. pp. 687-690. (1991))に記載されている。

【0004】

【発明が解決しようとする課題】基板中の高周波電力の損失は基板の抵抗値に反比例することが知られている。

【0005】上述したように $10\text{K}\Omega\cdot\text{cm}$ 程度の高抵抗Si基板を用いた場合、バルクの抵抗は損失低減のためには十分高い値である。ところが、高抵抗シリコン基板と絶縁膜との界面には容易に反転層が生じるため、その部分の抵抗が低下し損失が増大してしまう問題がある。

【0006】具体例として、図23に示すように高抵抗シリコン基板235上に形成された絶縁膜234上に配線231、232を2本ならべた場合について説明する。

【0007】マイクロ波が伝送される配線231には、通常+数Vの直流バイアスが印加されさらにその上に高周波電圧がかけられる。高抵抗Si基板235に $2\mu\text{m}$ 程度のSiO₂膜234を介して+数Vの直流バイアスを印加した場合、配線下部および周辺の基板表面に

3

およそ $1 \times 10^{17} \text{ cm}^{-3}$ の電荷が誘起され、シート抵抗数 $100 \Omega / \text{Square}$ の反転層 236 (もしくは電荷蓄積層) が形成される。

【0008】図23のように2本の配線231、232の直流バイアスの極性が同じで間隔が $2 \mu\text{m}$ 程度の場合、それぞれの配線による反転層は、蓄積電荷の移動により接続され、一つながりになる。

【0009】このような場合の配線対とSi基板の等価回路を図24に示す。図24において、 C_p は配線231、232間の寄生容量、 C_{ox} は配線231、232と基板235との容量、 R_b は基板のバルク抵抗、 R_s は反転層により生ずる表面抵抗を示す。配線長 $10 \mu\text{m}$ 当たりにおける配線1本についてのバルク抵抗による基板抵抗 R_b は $10 \text{ M}\Omega$ 程度であるのに対し、隣の配線と反転層からなる反転層による表面抵抗 R_s (約 $100 \text{ K}\Omega$) と絶縁膜容量 C_{ox} を介して結合することになる。すなわち基板抵抗は実質的には約2けた小さくなってしまふ。なお、 C_p は配線間の寄生容量である。

【0010】従って高周波電力の損失は、反転層が生じないとした場合よりも約2けた増大してしまうという問題が生じる。

【0011】また、この損失の大きさは、配線抵抗による伝導損失の約40倍に達する。基板中の電力の損失が大きいと伝送信号の損失が大きくなり、また基板上に形成した平面インダクタの性能(Q値)も低下し、結果として半導体装置の消費電力の増大につながる。この反転層発生による基板抵抗の低下は、Si基板が半絶縁性GaAs基板(反転層発生がない)と比較してマイクロ波用ICの分野で不利とされる主要因となっている。本発明は、上記の反転層発生に起因した高周波電力損失増大の問題を解決することを目的とする。

【0012】

【課題を解決するための手段】上記目的は、(1) 高抵抗Si基板と表面絶縁膜の界面のうち配線の下部あるいは周辺部分の少なくとも一部に電荷捕獲準位を有する層が形成されてなる半導体装置、(2) 高抵抗Si基板と表面絶縁膜の界面のうち配線の下部あるいは周辺部分の少なくとも一部分に $1 \times 10^{16} \text{ cm}^{-3}$ 以上の密度の電荷捕獲準位を有するSi層を挿入した半導体装置、

(3) 上記1に記載の電荷捕獲準位を有するSi層が、多結晶Si膜あるいは非晶質Si膜であることを特徴とする半導体装置、(4) 上記1に記載の電荷捕獲準位を有するSi層が、Si基板にイオンを打ち込むことにより形成された不純物含有層であることを特徴とする半導体装置、(5) 高抵抗Si基板の表面絶縁膜との界面部分のうち少なくとも配線の下部および周辺部分が、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、(6) 上記1～4に記載の電荷捕獲準位を有するSi層のうち、少なくとも配線の下部および周辺部分が、絶縁体もしくは誘電

4

体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、(7) 上記1～4に記載の半導体装置において、Si基板がSOI(Silicon On Insulator)型であり、少なくとも配線の下部および周辺部分のSOI層がエッチング除去されて $1 \times 10^{16} \text{ cm}^{-3}$ 以上の密度の電荷捕獲準位を有するSi層に置き換えられていることを特徴とする半導体装置、(8) 上記5、6に記載の半導体装置において、Si基板がSOI型であり、少なくとも配線の下部および周辺部分のSOI層が絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、(9) 上記8に記載の半導体装置において、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されたSOI層のうち少なくとも配線の下部および周辺部分が多結晶Si膜に置き換えられていることを特徴とする半導体装置、(10) 上記8に記載の半導体装置において、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されたSOI層のうち少なくとも配線の下部および周辺部分が絶縁体に置き換えられていることを特徴とする半導体装置、を用いることにより達成できる。

【0013】

【作用】配線近傍の高抵抗Si基板/表面絶縁膜の界面の十分な領域に、配線の直流バイアスによってSi層表面に誘起された電荷濃度以上の密度の電荷捕獲準位を有するSi層が挿入された場合、配線の直流バイアスによってSi層表面に誘起された電荷は、殆ど全て電荷捕獲準位に捕獲されてしまい動くことができなくなる。別の言い方をすると、禁制帯中に存在する電荷捕獲準位によってフェルミ準位がクランプされるため、反転層は生じることなく可動電荷が発生しない。従って、反転層発生により実質的な基板抵抗が低下してしまうという上記の問題は起こらない。これは特に、配線の直流バイアスによってSi表面に誘起された電荷の濃度がSi表面で $1 \times 10^{16} \text{ cm}^{-3}$ 以上になると上記課題に述べた高周波電力の損失が顕著になる。従って、電荷捕獲準位密度が $1 \times 10^{16} \text{ cm}^{-3}$ からこの作用がより効果的に生じ始める。なお、 1×10^{16} という表記は1掛ける 10 の 16 乗を表すものであり、 cm^{-3} は1分の cm 三乗の単位を表すものである。

【0014】配線の直流バイアスによってSi層表面に誘起される電荷濃度は配線と基板の間の絶縁膜の膜厚とバイアス電圧に依存している。誘起される電荷濃度と基板中の伝送損失の関係を図25に示す。従来技術によれば、反転層中のキャリア濃度が増加すれば図25のaに示すように伝送損失が増加する。また、配線中の伝送損失を図25のbに示す、また、反転層中のキャリア濃度以上の密度を有する電荷捕獲準位導入による損失低減の結果を図25のcに示す(図中の矢印は損失低減の効果をも模式的に示すものである)。

5

【0015】誘起電荷濃度がおよそ $1 \times 10^{16} \text{ cm}^{-3}$ 以上になると、基板中の伝送損失が配線中の伝送損失よりも多くなる。従って、反転層中のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ を越える分について反転層中キャリアを捕獲しうる密度の電荷捕獲準位を導入することが特に有効となる。この場合には、挿入されるS i層中の電荷捕獲準位が誘起電荷濃度以上の場合に誘起電荷をほぼ全部捕獲できる。本発明は電荷捕獲準位の濃度に限らず有効であるが、上述したとおり、電荷捕獲準位がおよそ $1 \times 10^{16} \text{ cm}^{-3}$ 以上では伝送損失低減の効果がより実用的なものとなる。

【0016】なお、誘起電荷濃度がより高い場合では伝送損失低減のためにはより高い電荷捕獲準位密度が効果的である。

【0017】多結晶S i膜や非晶質S i膜は、電荷捕獲準位密度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上であるので上記のS i層として用いると効果的である。また、酸素イオンや窒素イオン等を相当量打ち込んだS i基板も電荷捕獲準位密度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上となるので上記のS i層として用いると効果的である。

【0018】配線近傍の高抵抗S i基板/表面絶縁膜の界面を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合、高抵抗S i基板表面に形成された反転層も少領域に分断される。従来技術の場合と比較して、配線間に容量成分が加わってインピーダンスが増大するため実質的な基板抵抗をより高くすることができる。さらにこの場合には、配線下の基板の半導体部分の比率が小さくなるため溝のない部分の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗 R_b が約2倍大きくなる。その結果、同じだけ損失を提言するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点も合わせ持つ。

【0019】また、配線近傍の高抵抗S i基板/表面絶縁膜の界面に上記の電荷捕獲準位を有するS i層を挿入し、かつそのS i層を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合、上記と同様に誘起された電荷が電荷捕獲準位に捕獲されることにより実質的な基板抵抗が2けた程度大きくなる。さらに、上記の場合と同様に基板比抵抗が同じとすると溝のない場合と比較して基板バルク抵抗 R_b が約2倍大きくなるので、値段が安く強度の高いより低比抵抗の基板を用いて同じだけ電力損失を低減することができる利点も合わせ持つものである。

【0020】S i基板としてSOI基板を用いた場合にも、SOI層に上記と同様な手段を用いると同様の理由により同様な効果が生じる。ただし、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わるため、SOI型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗 R_b が約2倍場合となっている。その結果、同じだけ損失を低減するのに、SOI

6

型ではない場合と比較して値段が安く強度の高いより比抵抗の基板を用いることができる利点も合わせ持つ。また、SOI層と絶縁膜が厚い場合には絶縁膜下基板の表面に電荷捕獲準位を有するS i層を挿入する必要はない。なぜならば、配線と絶縁膜下基板表面との距離が十分大きいためにそこには反転層が生じないからである。また、溝により分断されたSOI層を除去してそこに多結晶S i膜もしくは絶縁体を埋め込んだ場合には、配線と絶縁膜下基板表面との距離が十分大きくかつその間が全て誘電率の小さい絶縁体及び誘電体となるため配線容量が通常の基板の場合よりも小さくなる効果が生じる。

【0021】

【実施例】

実施例1

図1に本願発明の一実施例を示す。

【0022】図1(a)では、たとえば $10 \text{ k}\Omega \cdot \text{cm}$ 程度の高抵抗シリコン基13上に絶縁膜12を介して配線11が形成されている。さらに、配線41の下部を中心に電荷捕獲準位を有するシリコン層16が形成されている。

【0023】配線の直流バイアスによってシリコン層表面に誘起された電荷は、殆ど全て電荷捕獲準位に捕獲されてしまい動くことができなくなる。すなわち反転層発生により実質的な基板抵抗が低下してしまうという上述の問題を解決することができる。図中の14は電荷の捕獲を矢印により模式的に示したものであり、15は電荷蓄積層が消滅した範囲を模式的に示したものである。これは、電荷捕獲準位を有する層46の電荷捕獲準位密度が誘起された電荷より大きくなっている場合誘起された電荷の濃度がS i表面で $1 \times 10^{16} \text{ cm}^{-3}$ 以上になると高周波電力の損失が顕著になるので電荷捕獲準位密度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上でより効果が生じる。

【0024】図1(a)では、絶縁膜12に等間隔に電荷捕獲準位を有するシリコン層16を配置しているが、この形状はこれに限らず、特に配線11下部で電荷を捕獲できるような形状であれば足りる。電荷捕獲準位を有する層を形成する場所及び形状は、電荷配線下部で発生することを考慮すれば絶縁膜を介した配線の下部に設ける、あるいは電荷の移動を考慮すれば隣接する配線の下部を分断するように設けると効果的である。

【0025】図1(b)では絶縁膜12の下部一面に電荷捕獲準位を有する層16を配置している。この場合での同様な効果が得られるとともに、図1(a)に示すように電荷捕獲層を分割して設ける工程を省略することができ、簡略な製造プロセスにより電荷捕獲層の形成を行うことができる。この場合にも、電荷捕獲準位を有するシリコン層16は半導体基板全面に形成するのではなく、配線11の下部、すなわち反転層が形成される可能性のある領域に配置すれば本実施例の効果を奏することができる。

【0026】図2には、図1に示した配線11とシリコン基板13の等価回路を示す。図24に比べ、電荷捕獲層を形成したことにより配線間の絶縁膜容量 C_{ox} を介しての基板抵抗 R_s を約10M Ω と従来技術の場合と比較して2けた程度大きくすることができる。なお、 R_b は図24と同様に基板のバルク抵抗を示し、 C_p は配線間の寄生容量を示すものである。

【0027】図3には、配線近傍の高抵抗Si基板/表面絶縁膜の界面を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合の例を示す。31は配線、32はシリコン酸化膜等の絶縁膜、33は高抵抗シリコン基板、35は半導体基板に埋め込まれ溝である。図33では、高抵抗シリコン基板33の上に絶縁膜32を介して配線31が配置されており、さらに、シリコン基板の界面を絶縁体又は誘電体を埋め込んだ溝35により分断されている。

【0028】この様にシリコン基板の海面を溝35により分断すると、高抵抗シリコン基板33表面に形成された反転層34も反転層も小領域に分断される。これにより、反転層が実質的に溝の間に捕獲されることとなり、上述した例と同様な効果を奏することができる。これは、溝35に絶縁膜を埋め込んだ場合には基板表面に蓄積された電荷が絶縁膜により隣接する配線により蓄積された電荷と接続されることがなくなるためである。

【0029】この場合の等価回路を図4に示す。 C_p は配線31間の寄生容量、 C_{ox} は配線31と基板33間の容量、 C_s は基板34を溝35により分断したことによる容量成分、 R_s は基板表面に生ずる反転層による抵抗、 R_b は基板のバルク抵抗(約20M Ω)である。

【0030】この場合、従来と比較して、基板表面の抵抗 R_s 自体が約10配線間に容量成分 C_s が加わってインピーダンスが増大するため実質的な基板抵抗をより高くすることができる(約500k Ω)。さらにこの場合には、配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗 R_b が約2倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点も合わせ持つ。

【0031】実施例2

本発明の第2の実施例を図5、6により説明する。

【0032】図5は高抵抗(10K $\Omega \cdot \text{cm}$) Si基板上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタと信号を伝送するための配線対の部分の断面図である。1は高抵抗Si基板、2は表面パシベーションのためのSiO₂膜などの絶縁膜、3はSiO₂膜などの絶縁膜、4は金属配線、5はノンドープ多結晶Si膜、6の領域はMOSトランジスタである。特に制限されないがMOSトランジスタ6は薄いゲート絶縁膜上に形成されたゲート電極7とソース・ドレイン領域

8、9及びその引き出し電極10、11により形成されている。

【0033】配線対4に沿った領域のSiO₂膜3にはパシベーション膜2の下面からSi基板1の表面に達する複数の穴が形成されており、その穴にはノンドープ多結晶Si膜5が埋め込まれている。

【0034】図6は本実施例の平面図である。本図にはMOSトランジスタ6と配線対4に加えて平面インダクタ13も示されている。MOSトランジスタ6のソース電極10及びゲート電極7には金属配線4が接続され、固定電位または適当な信号が印加されるよう構成されている。また、MOSトランジスタ6のドレイン電極11には、金属配線を螺旋状になして形成したインダクタ13が接続されている。

【0035】図5において説明したようにノンドープ多結晶Si膜5が埋め込まれた複数の穴は、配線4及びインダクタ13に沿ってその近傍に配置されている。

【0036】本実施例によると、配線4の直流バイアスによって基板表面に誘起された電荷は穴の中のノンドープ多結晶Si膜5によって捕獲されてしまうので可動電荷が生じて基板の抵抗が低下することはない。すなわち、電荷の捕獲層として働く多結晶シリコンを配線領域の下部あるいは周辺に埋め込むことにより、可動電荷の発生を抑制することができるものである。

【0037】なお、多結晶シリコンを埋め込んだ複数の穴は、隣接する配線間の可動電荷による悪影響を低減することを考慮すると、配線下部には必ずしも設ける必要はなく、配線間にのみ設けることによっても電荷の移動を抑制し同様の効果を奏することができる。

【0038】実施例3

本発明の第3の実施例を図7により説明する。

【0039】本図は高抵抗Si基板上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の中で図5におけるものと同様のものは説明を省略する。

【0040】本実施例においては、SiO₂膜3の下部には全面にノンドープ多結晶Si膜5が挟み込まれている。可動電荷の捕獲層として働く多結晶シリコン層を配置することにより、可動電荷によるシリコン基板の抵抗の低下を抑制することができる。本実施例のようにSiO₂基板構造となっている場合は下記の張り合わせの方法により多結晶シリコン層を基板表面全面に形成することができる。すなわち、ノンドープ多結晶Si膜5の挟み込みは下記の方法により行う。

【0041】まず高抵抗Si基板1にノンドープ多結晶Si膜5を通常の気相成長法で堆積した後、表面にSiO₂膜3を形成したもう1枚のSi基板と表面を対向させて通常の方法により貼合せる。その後SiO₂膜3に接している方のSi基板を研磨することにより約200

nmまで薄くする。本実施例のその他の部分の製造方法は従来のSi集積回路製造技術により形成することができる。

【0042】本実施例によると、配線4の直流バイアスによってSiO₂膜3/ノンドープ多結晶Si膜5の界面に誘起された電荷はほとんど全てそこにある電荷捕獲順位によって捕獲されてしまうので可動電荷が生じて基板の抵抗が低下することはない。

【0043】実施例4

本発明の第4の実施例を図8により説明する。本図は高抵抗Si基板上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち図5に示したものと同一のものは説明を省略する。本実施例において、図中の10はO⁻(酸素)イオンが高密度にイオン打ち込みされたSi層であり、13はMOSトランジスタが形成されるp-well (p型半導体層)である。

【0044】本実施例では、O⁻を含有したSi層10が配線対4に沿った領域のSiO₂膜3の下部に形成されている。このSi層10は通常のイオン打ち込み法により加速電圧200KeVでO⁻イオンを1E16cm⁻²の密度でSi基板1に打ち込むことにより形成する。O⁻イオンが打ち込まれた領域には約1E20cm⁻³の電荷捕獲準位が発生するので上述の実施例と同様に配線の直流バイアスによって誘起された蓄積電荷はほとんど全て捕獲されてしまい動くことができなくなる。

【0045】図8では、酸素イオンを打ち込んだ領域10は配線4の下に形成されているが、配線間の領域に形成することによっても電荷の移動を抑制できるため、同様の効果を奏することができる。

【0046】本実施例によると、上記1から3の実施例のように多結晶Si膜や絶縁膜を基板に埋め込むという行程が不要でコストのかからないイオン打ち込みのみで同様の効果を得ることができる。

【0047】実施例5

本発明の第5の実施例を図9により説明する。

【0048】本図は高抵抗Si基板上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち既に説明したものについては説明を省略する。図9で12は、基板1及び絶縁膜に形成され、SiO₂膜等の絶縁膜が埋め込まれた溝である。

【0049】本実施例では、複数のSiO₂膜が埋め込まれた溝12が配線対4に沿った領域のパシベーション膜2の下部に形成されている。本実施例によれば、配線対の下部に埋め込まれた絶縁膜により、配線下部に形成される電荷は閉じこめられ電荷の移動を抑制することができる。図9においては、配線対4の下部に一樣に絶縁膜を埋め込む構成を示したが、隣接する配線間の電荷の

移動を抑制することを考慮すれば、隣接する配線の間を分離するように溝を形成することによっても同様の効果を奏することができる。

【0050】さらに、溝の存在によって配線下の基板の半導体部分の比率がちいさくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約2倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる。

【0051】実施例6

本発明の第6の実施例を図10～12により説明する。

【0052】図10は高抵抗Si基板1上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタ6と信号を伝送するための配線対4の部分の断面図である。本図における各部分のうち図5及び図9と同様のものについては説明を省略する。本実施例では、複数のSiO₂膜等の絶縁膜が埋め込まれた溝12が配線対4に沿った部分のパシベーション膜2の下部に形成されており、さらにその溝の間にノンドープ多結晶Si膜5が埋め込まれている。溝2はとくに制限されないが、配線対の下部を中心に略等間隔に形成されている。ノンドープ多結晶Si膜5の代わりに非晶質Si膜を埋め込んでもよい。

【0053】図11は本実施例の平面図である。本図にはMOSトランジスタ6と配線対4に加えて平面インダクタ13も示されている。図11において、図6と同様の部分については説明を省略する。本図では、配線対4及び螺旋状に形成されたインダクタの下部及び周辺部には絶縁膜を埋めこんだ溝12とその間に埋め込まれたノンドープ多結晶シリコン層5とが形成されている。特に制限されないが、絶縁膜が埋め込まれた溝12は配線4及びインダクタ13に沿って縦横に形成され、溝12に囲まれた領域に多結晶シリコン層5が形成されている。

【0054】図10において説明したように、SiO₂膜が埋め込まれた溝12とそれらの間に埋め込まれたノンドープ多結晶Si膜5は配線に沿ってその近傍に配置されている。

【0055】複数のSiO₂膜が埋め込まれた溝12の間にノンドープ多結晶Si膜5を埋め込む方法を図12(a)(b)(c)により説明する。まず、図12(a)に示すように、高抵抗Si基板1の後に配線対4が形成される領域にSiO₂膜が埋め込まれた溝12を複数本形成する。次に、図12(b)に示すように、通常のドライエッチングの方法により溝12をマスクとして溝の間のSi基板1をほぼ溝12の深さまでエッチング除去する。次に、図12(c)に示すように、Si基板1が除去された部分にノンドープ多結晶Si膜5を通常の方法により堆積して埋め込み、さらに通常の熱酸化の方法によりノンドープ多結晶Si膜5の表面にSiO₂膜3を形成する。本実施例のその他の部分の製造方法

は従来のS1集積回路製造技術により達成することができる。

【0056】本実施例によると、上記の実施例1、2と同様な効果が得られ、さらに、溝の存在によって配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約2倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点を有する。

【0057】実施例7

本発明の第7の実施例を図13により説明する。

【0058】本図は高抵抗S1基板上に形成されたマイクロ波モノリシックICのうち、MOSトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち図8、9と同様の部分については説明を省略する。

【0059】本実施例では、複数のS1O2膜が埋め込まれた溝12が配線対4に沿った領域のバシベーション膜2の下部に形成されており、さらにその溝の間にO(酸素)イオンが高密度にイオン打ち込みされたS1層10が形成されている。このOを含有したS1層10の形成方法は上記の実施例4の場合と同じである。本実施例によると、実施例4の場合と同様にOイオンが打ち込まれた領域には約 $1 \times 10^{20} \text{ cm}^{-3}$ の電荷捕獲準位が発生するので配線の直流バイアスによって誘起された蓄積電荷はほとんど全て捕獲されてしまう。そのため可動電荷が生じて基板の抵抗が低下することはなくなる。さらに実施例5、6の場合と同様に配線対4の下部に溝が配置され基板バルク抵抗が約2倍大きくなっているため溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点を有する。

【0060】実施例8

本発明の第8の実施例を図14により説明する。

【0061】本図は高抵抗S1基板上に形成されたマイクロ波モノリシックICのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図において、バイポーラトランジスタ7は半導体基板1上に絶縁膜9を介して形成されたSOI層に形成されている。バイポーラトランジスタの各エミッタ、ベース、コレクタ領域は引出層を介して電極14、13、15に接続されている。また、16、17は酸化膜、19はバイポーラトランジスタのベース領域、18はコレクタ埋込層である。

【0062】本実施例ではS1基板はSOI型でバイポーラトランジスタはSOI層に形成されている。また、バシベーション膜2の下面からS1基板1上のS1O2膜9に達するS1O2膜が埋め込まれた溝12が配線対4に沿った領域に複数本形成されている。

【0063】本実施例によると、上記の実施例5と同様

に、配線4下で蓄積された電荷の移動が酸化膜の埋め込まれた溝12で抑制されるため、基板の抵抗が低下しないといった効果を奏することができる。さらに、配線対4の下に誘電率の小さなS1O2膜9があるためにSOI基板でない場合と比較して配線容量が低減できる効果もある。

【0064】実施例9

本発明の第9の実施例を図15により説明する。

【0065】本図は高抵抗S1基板上に形成されたマイクロ波モノリシックICのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の名称は図5、14におけるものと略同じである。本実施例ではS1基板はSOI型でバイポーラトランジスタはSOI層に形成されている。また、配線対4に沿った領域のS1O2膜3の下部のSOI層が除去されてそこにノンドープ多結晶S1膜5が埋め込まれている。

【0066】本実施例によると、上記の実施例2、3、4と同様な効果が得られ、さらに、配線対4の下に誘電率の小さなS1O2膜9があるためにSOI基板でない場合と比較して配線容量が低減できる効果もある。

【0067】さらに、配線対4の下に酸化膜9があるために、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりSOI型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約2倍となっている。その結果、同じだけ損失を低減するのに、SOI型でない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる。

【0068】実施例10

本発明の第10の実施例を図16により説明する。

【0069】本図は高抵抗S1基板上に形成されたマイクロ波モノリシックICのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。

【0070】本図における各部分の名称は図10、14におけるものと略同じである。本実施例ではS1基板はSOI型でバイポーラトランジスタはSOI層に形成されている。また、バシベーション膜2の下面からS1基板1上のS1O2膜9に達するS1O2膜が埋め込まれた溝12が配線対4に沿った領域に複数本形成されている。さらに、その溝の間のSOI層が除去されて代わりにノンドープ多結晶S1膜5が埋め込まれている。本実施例の製造方法は、上記の実施例5の製造方法と従来のS1集積回路製造技術の組み合わせによる。本実施例によると、上記の実施例6と同様な効果が得られ、さらに、配線対4の下に酸化膜9があるために、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりSOI型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約2倍となっている。その結果、同じだけ損失を低減するのに、SOI型ではな

い場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる。

【0071】実施例11

本発明の第11の実施例を図17により説明する。

【0072】本図は高抵抗Si基板上に形成されたマイクロ波モノリシックICのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の名称は図15におけるものと略同じである。本実施例ではSi基板はSOI型でバイポーラトランジスタはSOI層に形成されている。また、バシベーション膜2の下面からSi基板1上のSiO₂膜9に達するSiO₂膜が埋め込まれた溝12が配線対4に沿った領域に複数形成されている。さらに、その溝の間のSOI層が除去されて代わりにバシベーション膜2が埋め込まれている。本実施例の製造方法は、上記の実施例5の製造方法と従来のSi集積回路製造技術の組み合わせによる。本実施例によると、上記の実施例9と同様な効果が得られる。さらに、本実施例によると、溝の間に実施例9における多結晶シリコン膜の代わりに誘電率のより小さいバシベーション膜が埋め込まれているため配線容量がより小さくなる利点を有する。

【0073】以上、次に上述の実施例による伝導損失の低減について説明する。

【0074】図18には、シリコン基板1の上に酸化膜等の絶縁膜3を介して形成された配線4、5を示している。ここで、配線4には約3V程度の直流バイアスが印加され、配線5には約1V程度の直流に加え2GHz程度の高周波が印加されている。

【0075】図18に示した配置の伝送線路における基板中の伝導による伝送損失について、基板に誘起電荷の移動を抑制するための構造のない従来技術による場合と本発明による場合の比較を図19に示した。

【0076】図19には、配線中の伝導損失4、従来技術による伝導損失1、本発明の実施例のように溝状に電荷を分断した場合の伝導損失2、本発明の実施例のように電荷捕獲準位を設けた場合の伝導損失3、5、6を示す。なお、伝導損失3は本発明の実施例のように電荷捕獲準位を設けた場合を示し、伝導損失5は電荷捕獲準位を設けるとともに溝を設けた場合を示し、伝導損失6はさらにSOI基板を用いた場合を示している。

【0077】本発明の実施例のように電荷捕獲準位を設けた場合の配線抵抗による伝導損失は0.013dB/mmであるが、基板中損失をこの値と同等以下にすることが目標となる。基板中損失は、基板比抵抗に反比例するため基板比抵抗を高くすると減少する。しかし、従来技術による場合では、上記の反転層の発生により比抵抗が100Ω・cm程度以上で損失の減少は飽和してしまう。すなわち、図19に示すように基板中損失を目標値の約40倍よりも小さくすることが不可能である。

【0078】一方、本発明のうち配線下部および周辺部

分を溝により小領域に分断した場合（実施例5）では、反転層も分断されて実質的に抵抗が増大するため、基板高抵抗化による損失減少の飽和は、損失が従来技術による場合の約1/5になるまで起こらない。

【0079】また、本発明のうち配線近傍のSi基板/表面絶縁膜に電荷捕獲準位を有するSi層を挿入した場合（実施例1～4）では、反転層は発生しないため基板高抵抗化による損失の減少が飽和することはない。従って基板比抵抗を約4KΩ・cm以上にすることにより基板中損失を目標値以下にすることができる。

【0080】配線下部および周辺部分を溝により小領域に分断しかつ電荷捕獲準位を有するシリコン層を挿入した場合（実施例6、7）でも、上記の場合と同様に反転層は発生せず基板高抵抗化による損失の減少が飽和することはない。さらに、溝の損じによって配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約2倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して1/2の比抵抗の基板を用いればよい。従って基板比抵抗を約2kΩ・cm以上にすることにより基板中損失を目標値以下にすることができる。

【0081】また、SOI基板を用いた場合（実施例8、9、10等）にも、本発明を適用することによって上記の通常の基板の場合と同様に基板高抵抗化による損失の減少が飽和することはない。さらにこの場合には、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりSOIではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約2倍となっている。その結果、同じだけ損失を低減するのに、SOI型ではない場合と比較して1/2の比抵抗の基板を用いることができる利点も合わせ持つ。

【0082】図20には、シリコン基板1上に酸化膜2を介して図示した配線寸法で配線3を形成したものを示している。

【0083】図20に示した配置の配線による平面インダクタの性能（Q値）について、従来技術による場合（図21の1）と本発明による場合の比較を図21に示した。半絶縁性GaAs基板を用いた場合（図21の4）にはQ値は23となる、この値がSi基板を用いる場合にも目標となる。基板比抵抗を高くしていくとQ値は増大傾向となる。しかし、従来技術による場合では、上記の反転層の発生により、Q値の増大は比抵抗が100Ω・cm程度以上において約12で飽和してしまう。

【0084】一方、本発明のうち配線下部および周辺部分を溝により小領域に分断した場合（図21の5、例えば実施例4）では、反転層も分断され実質的に抵抗が増大するため、Q値が15になるまで飽和は起こらない。さらに、本発明のうち配線近傍のSi基板/表面絶縁膜に電荷捕獲準位を有するSi層を挿入した場合（図21

の3、実施例1、2、3等)では、反転層は発生せず基板が高抵抗に保たれるため、基板比抵抗を約 $5\text{ k}\Omega\cdot\text{cm}$ 以上にすれば、Q値を20以上と半絶縁性GaAs基板の場合に近い値にすることが可能である。配線下部及び周辺部分を溝により小領域に分断しかつ電荷捕獲準位を有するSi層を挿入した場合(図21の5、実施例5、6等)では、基板比抵抗を溝のない場合と比較して $1/2$ の約 $2.5\text{ k}\Omega\cdot\text{cm}$ 以上にすれば、Q値を20以上にすることが可能である。またSOI基板を用いた場合(図21の6、実施例7、8、9等)では、本発明を適用することによってSOI型ではない同様な基板の場合の $1/2$ の基板比抵抗において上記のSOI型ではない同様な基板の場合と同等のQ値が得られる。

【0085】

【発明の効果】以上、本発明によれば、配線の直流バイアスにより絶縁膜/基板界面に誘起された電荷はほとんど全て電荷捕獲準位に捕獲されてしまい反転層すなわち可動電荷は生じない。その結果、半絶縁性GaAs基板の場合とほぼ同等の伝送線路の損失や平面インダクタのQ値を得ることができ、高周波用などに好適な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための半導体装置の断面図。

【図2】本発明の第1の実施例を説明するための等価回路を示す回路図。

【図3】本発明の第1の実施例を説明するための半導体装置の断面図。

【図4】本発明の第1の実施例を説明するための等価回路を示す回路図。

【図5】本発明の第2の実施例を説明するための半導体装置の断面図。

【図6】本発明の第2の実施例を説明するための半導体装置の平面図。

【図7】本発明の第3の実施例を説明するための半導体装置の断面図。

【図8】本発明の第4の実施例を説明するための半導体装置の断面図。

【図9】本発明の第5の実施例を説明するための半導体装置の断面図。

【図10】本発明の第6の実施例を説明するための半導体装置の断面図。

【図11】本発明の第6の実施例を説明するための半導体装置の平面図。

【図12】本発明の第6の実施例を説明するための半導体装置の製造方法を示す工程図。

【図13】本発明の第7の実施例を説明するための半導体装置の断面図。

【図14】本発明の第8の実施例を説明するための半導体装置の断面図。

【図15】本発明の第9の実施例を説明するための半導体装置の断面図。

【図16】本発明の第10の実施例を説明するための半導体装置の断面図。

【図17】本発明の第11の実施例を説明するための半導体装置の断面図。

【図18】本発明の効果を従来技術の場合と比較するための、伝送線路の配置図。

【図19】本発明による、伝送損失と基板比抵抗の関係を示す図。

【図20】本発明の効果を示すためのシリコン基板上に形成された平面インダクタ配線の配置図。

【図21】本発明による基板比抵抗とQ値の関係を示す図。

【図22】従来の半導体基板をあらわす図。

【図23】従来の半導体装置をあらわす断面図。

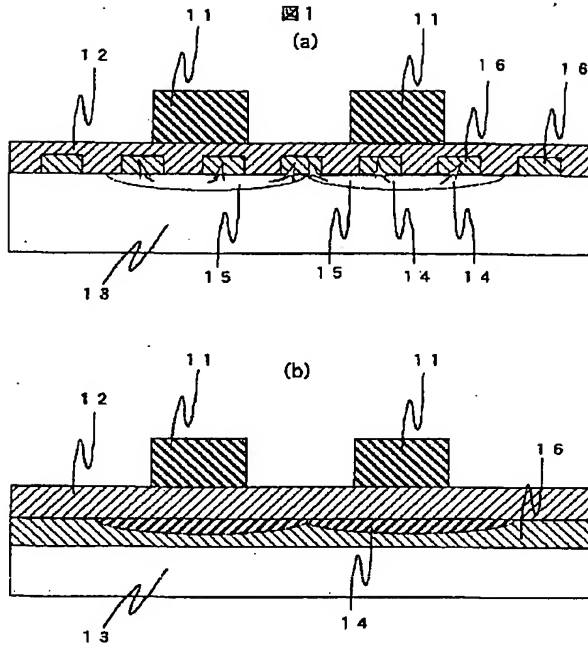
【図24】従来の半導体装置の等価回路をあらわす回路図

【図25】誘起される電荷濃度と基板中の伝送損失の関係を示す図。

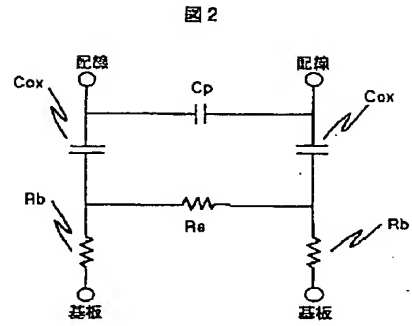
【符号の説明】

- 1 高抵抗Si基板
- 2 表面パシベーションのためのSiO₂膜
- 3 SiO₂膜
- 4 金属配線
- 5 ノンドープ多結晶Si膜
- 6 MOSトランジスタ
- 7 バイポーラトランジスタ
- 8 SOI層
- 9 SiO₂膜
- 10 Oイオン打ち込み
- 11 平面インダクタ
- 12 SiO₂膜

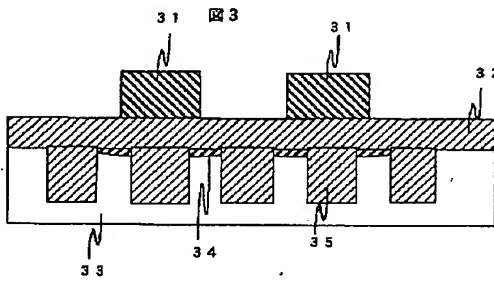
【図1】



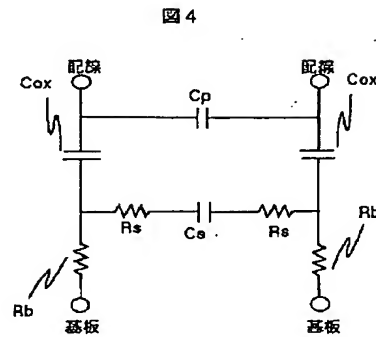
【図2】



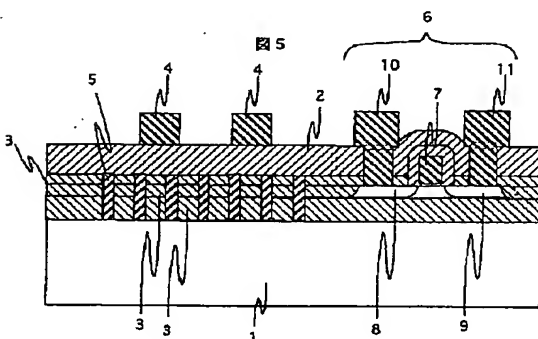
【図3】



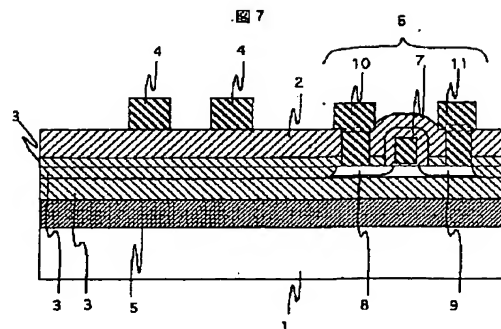
【図4】



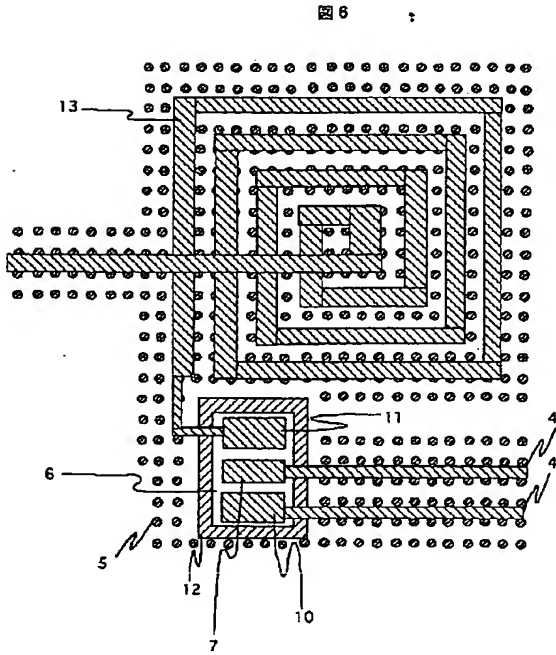
【図5】



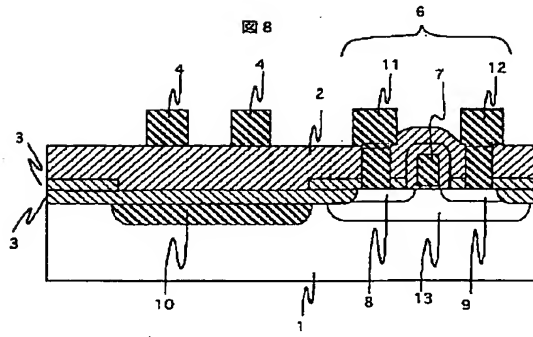
【図7】



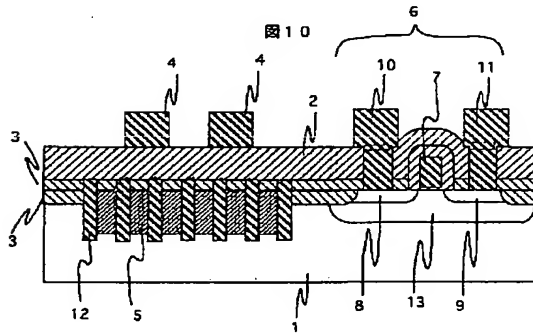
【図6】



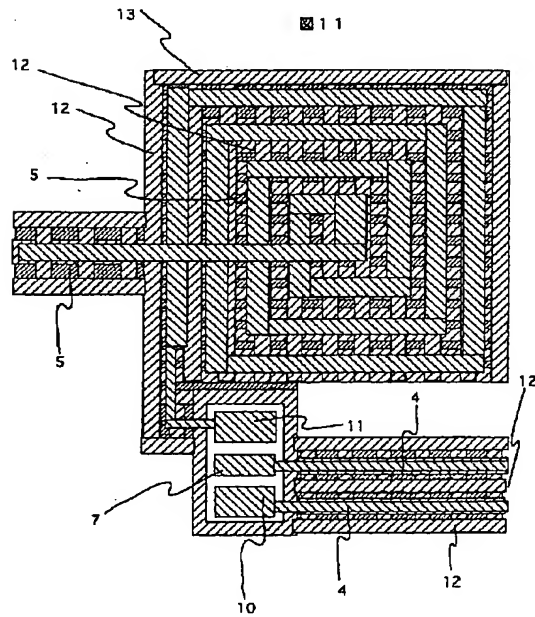
【図8】



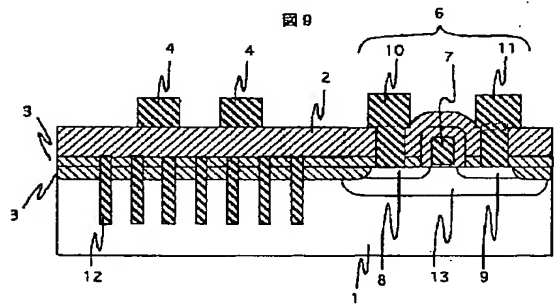
【図10】



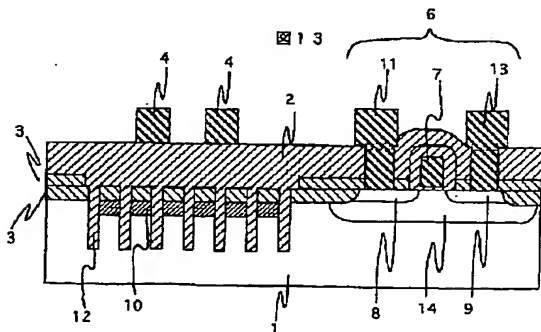
【図11】



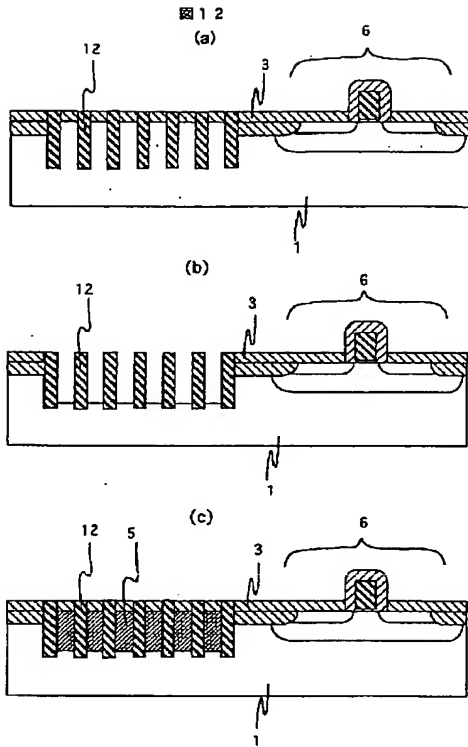
【図9】



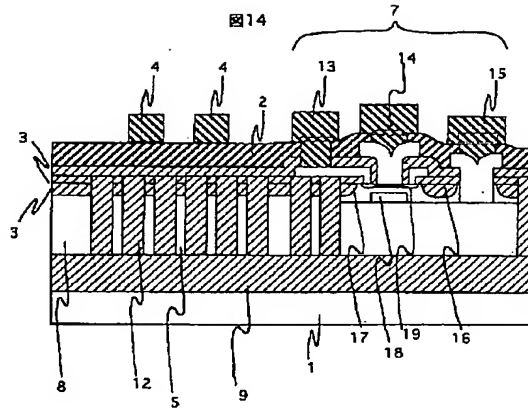
【図13】



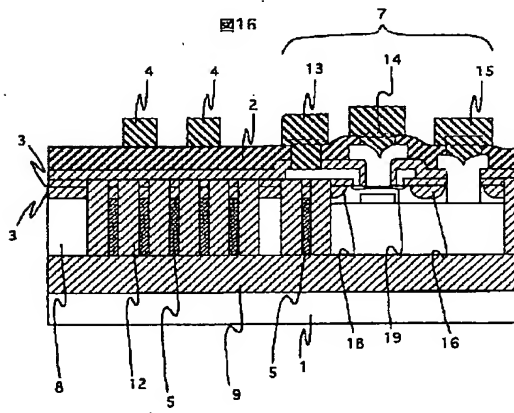
【図12】



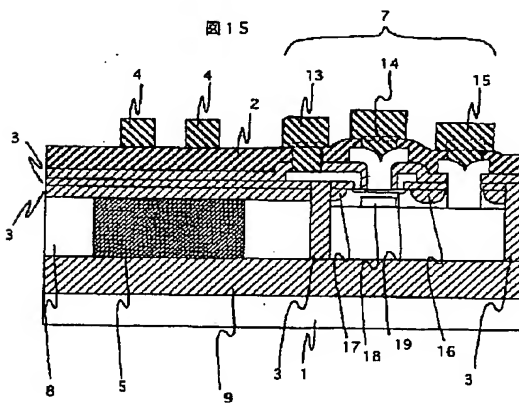
【図14】



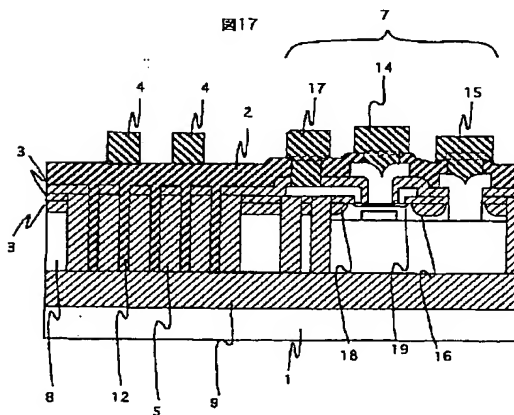
【図16】



【図15】

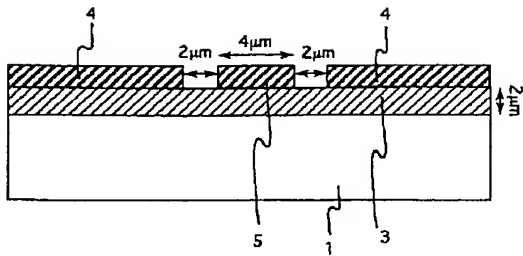


【図17】



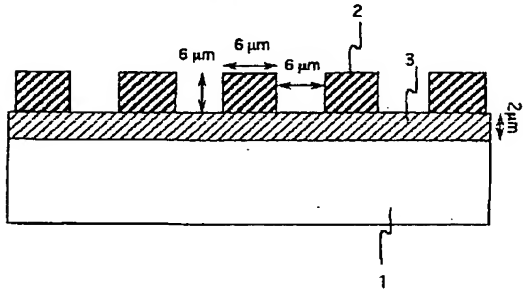
【圖18】

圖18



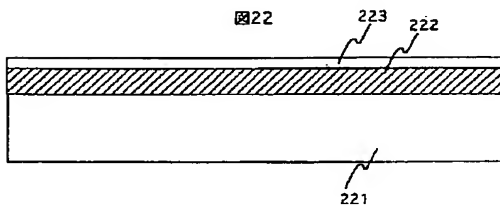
【圖20】

圖20



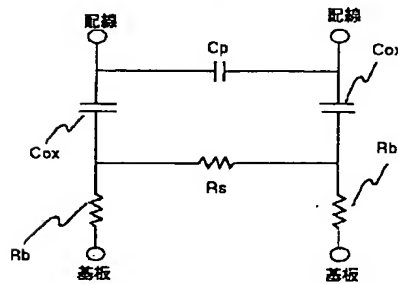
【圖22】

圖22



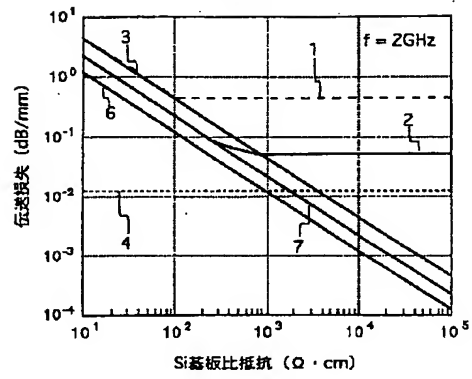
【圖24】

圖24



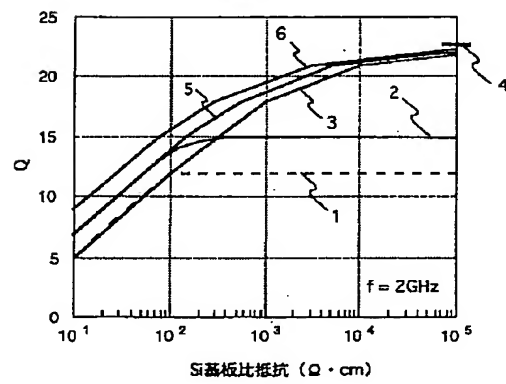
【圖19】

圖19



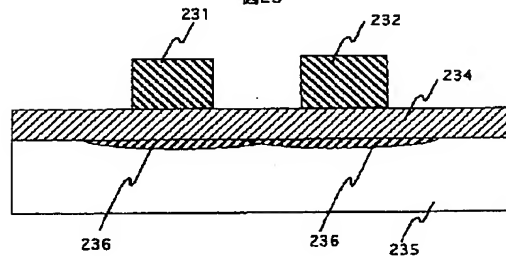
【圖21】

圖21

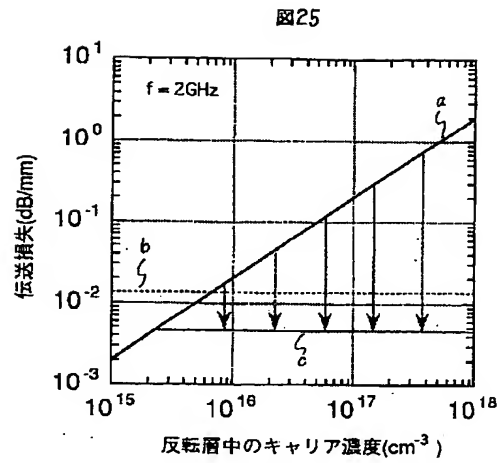


【圖23】

圖23



【図25】



フロントページの続き

(72)発明者 堀内 勝忠
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内